

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-31191

(P2000-31191A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) IntCl <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 1 L 21/60		H 0 1 L 21/92	6 0 2 H 4 M 1 0 5
// H 0 1 L 21/60	3 1 1	21/60	3 1 1 S
		21/92	6 0 2 Z
			6 0 4 M

審査請求 未請求 請求項の数 6 F D (全 7 頁)

(21) 出願番号 特願平10-218493

(22) 出願日 平成10年7月15日 (1998.7.15)

(71) 出願人 000144038

株式会社三井ハイテック

福岡県北九州市八幡西区小嶺2丁目10-1

(72) 発明者 中島 高士

福岡県北九州市八幡西区小嶺2丁目10番1

号 株式会社三井ハイテック内

Fターム(参考) 4M105 AA01 BB01 FF02 FF03 FF04

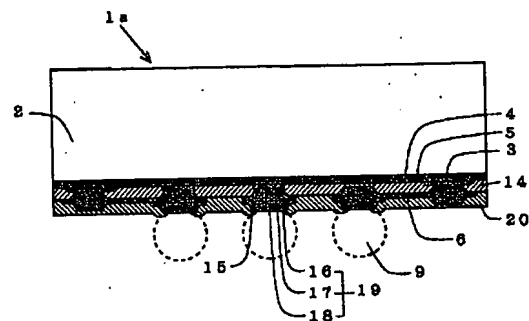
FF05 FF06 GG10

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 半導体チップとマザーボードとの熱膨張係数の相違に起因する両者の変形応力や歪みを良好に吸収することのできるCSPタイプの半導体装置構造を提供する。

【解決手段】 半導体チップ2の電極3形成面側に、任意の電極3と電気的に接続される第1の金属層16と、第1の金属層16上に形成された緩衝層17と、緩衝層17の表面を覆うとともに第1の金属層16と電気的に接続される第2の金属層18とからなる外部接続端子ランド19が設けられている。



## 【特許請求の範囲】

【請求項1】 一面に複数の電極が形成された半導体チップの電極形成面側の任意の箇所に、任意の電極と電気的に接続される第1の金属層と、第1の金属層上に形成された緩衝層と、前記緩衝層の表面を覆うとともに第1の金属層と電気的に接続される第2の金属層とからなる外部接続端子ランドが設けられていることを特徴とする半導体装置。

【請求項2】 緩衝層が導電性ペーストからなることを特徴とする請求項1に記載の半導体装置。

【請求項3】 外部接続端子ランドに、第1の金属層と第2の金属層とを電気的に接続する第3の金属層を設けたことを特徴とする請求項1に記載の半導体装置。

【請求項4】 半導体チップの電極上に、緩衝層を形成したことを特徴とする請求項1乃至請求項3のいずれか1項に記載の半導体装置。

【請求項5】 半導体チップの電極上に、外部接続端子ランドが設けられていることを特徴とする請求項1乃至請求項3のいずれか1項に記載の半導体装置。

【請求項6】 前記外部接続端子ランドに、外部接続端子が装着されていることを特徴とする請求項1乃至請求項5のいずれか1項に記載の半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置に係り、特にCSP（Chip Size Package）タイプの半導体装置の構造に関するものである。

【0002】

【従来の技術】 近年携帯電話などの携帯用電子機器の普及に伴って、それらに使用される半導体装置もより一層の小型化が要求されている。この要求を満たすものとして、CSPと呼ばれるタイプの半導体装置が各社から提案されている。

【0003】 例えば特開平8-340002に開示された半導体装置がある。図12にこのタイプのCSP型半導体装置を示す。ここで示す半導体装置1は、半導体チップ2の電極3形成面側の電極3を除いた領域に形成されたパッシベーション膜4と、パッシベーション膜4の表面のやはり電極3を除く領域に形成された絶縁膜（絶縁シート）5と、絶縁膜5の表面に形成される、一端は電極3に接続され、また他端は外部接続端子接合部7となる配線パターン6と、絶縁膜5及び配線パターン6上の前記外部接続端子接合部7を除く領域に形成された絶縁皮膜8と、外部接続端子接合部7に装着された外部接続端子9とから構成されている。このような構成の半導体装置1によれば、薄型で、かつその外径を半導体チップ2の外径と同サイズとすることができる。

【0004】 ところでこのタイプの半導体装置1は、一般に外部接続端子9として半田ボールを使用しており、半導体装置1をマザーボード10に実装する際には、半

導体装置1の半田ボールからなる外部接続端子9とマザーボード10のパッド11を位置合わせした後、加熱して半田ボールを溶融させることによって、半導体装置1とマザーボード10とが電気的に接続される。

【0005】 このように半導体装置1とマザーボード10との接続に半田ボールを用いた場合、半導体装置1を小型化できるとともに、多数の外部接続端子9の接続を一括して行えるという利点がある。

【0006】 上述したように、半田ボールを外部接続端子9として半導体装置1とマザーボード10とを接続した場合、両者は半田ボールを介して機械的に接続される。ところで半導体装置1の半導体チップ2としては一般的にシリコンが用いられるが、マザーボード10の材質としては、ガラスエポキシ樹脂やセラミック基板などが用いられることが多い。

【0007】 ここで問題となるのは、半導体チップ2とマザーボード10の両者の熱膨張係数が全く異なっていることである。半導体装置1の使用時や信頼性評価試験時などに、半導体装置1が加熱、冷却などの熱サイクルにさらされた場合には、半導体チップ2とマザーボード10との熱膨張係数差に起因して応力や機械的な歪みが発生する。しかし半導体チップ2とマザーボード10とは、前述したように半田ボールからなる外部接続端子9によって機械的に固着されているため、このような応力や歪みの逃げ場がなく、これらの応力や歪みは半田ボールからなる外部接続端子9に集中する。だが半田ボールは、剛性は高いけれども柔軟性には欠けるため、これらの応力や歪みを吸収することができず、その結果半田ボールからなる外部接続端子9にクラック12が生じて半導体装置1とマザーボード10との電気的接続を損なってしまう、半導体装置1の信頼性が低下してしまうという問題があった。

【0008】 前述した半導体装置1においては、絶縁膜5及び絶縁皮膜8が半導体チップ2とマザーボード10との間に生じる様々な応力の緩衝層となることが期待されている。しかしこれら絶縁膜5及び絶縁皮膜8を緩衝層とする構造では、半導体チップ2の表面保護という点では有効に機能するが、前述したような半導体チップ2とマザーボード10との熱膨張係数差に起因する大きな変形応力や歪みを吸収することは非常に困難である。このため、図13に示すように、半導体装置1とマザーボード10の間にアンダーフィル樹脂13を充填し、両者の接続を補強することによって半田ボールにかかる負担を軽減しようという試みがなされている。

【0009】

【発明が解決しようとする課題】 しかし、この方法ではアンダーフィル樹脂13を充填する工程が必要となるため、リードタイムが長くなり、またそのための新たな設備を導入しなければならないという問題点があった。更に、半導体装置1のリペアが非常に困難であるといった

問題点があった。本発明はかかる実情に鑑みてなされたものであり、半導体チップとマザーボードとの熱膨張係数差に起因する変形応力を良好に吸収することのできる半導体装置構造を提供することを目的とする。

【0010】

【課題を解決するための手段】上記の問題点を解決するために、本発明の半導体装置は、半導体チップの機能面に応力緩衝層を有する構造とし、これにより半導体チップとマザーボードとに加わる熱サイクルの繰り返し応力を吸収することとしている。

【0011】

【発明の実施の形態】本発明は、半導体チップの電極形成面側の任意の箇所に、任意の電極と電気的に接続される第1の金属層と、第1の金属層上に形成された緩衝層と、この緩衝層の表面を覆うとともに第1の金属層と電気的に接続される第2の金属層とからなる外部接続端子ランドを備えた構造とするものである。

【0012】前記緩衝層の材料としては、ポリマー系樹脂、ポリイミド系樹脂、エラストマ系樹脂、エポキシ系樹脂、シリコン系樹脂、ウレタン系樹脂、アクリル系樹脂などの非導電性樹脂材料の他、導電性ペーストなどの導電性材料が使用可能であるが、作業性を考慮すればポリイミドコートあるいは導電性ペーストを使用することが望ましい。

【0013】なお緩衝層として非導電性樹脂材料を使用した場合には、一般にこのような非導電性樹脂材料は柔軟性が高いため、半導体装置とマザーボードとの熱膨張係数差に起因する両者の変形応力を極めて良好に吸収することができるという効果があり、また緩衝層として導電性ペーストを使用した場合には、半導体装置の構造を簡略化することができるので、半導体装置製造の際の作業効率が向上するという効果を奏する。

【0014】更に、この緩衝層の形成工程は、通常のウエハーファブリケーション工程と同様の設備を使用して行うことができるので、新規に特別な設備、方法を導入する必要がなく、半導体装置の製造コストを低減することができる。

【0015】ところで緩衝層として導電性ペーストを使用した場合には、第1の金属層と第2の金属層とはこの導電性ペーストによって電気的に接続されるが、緩衝層として非導電性樹脂材料を使用した場合には、第1の金属層と第2の金属層とを直接電気的に接続させるか、あるいは第3の金属層を介して両者を電気的に接続するようにする。

【0016】また緩衝層は、半導体チップの電極形成面の任意の箇所に設けることができるが、半導体チップの電極上に形成してもよい。更に電極上に外部接続端子ランドを形成するようにしても良い。このように電極を利用することにより、半導体チップの電極形成面の配線パターン形成の自由度を確保することができる。

【0017】なお半導体チップとマザーボードとの接続に際しては、半田ペーストなどを用いて外部接続端子ランドを直接マザーボードの電極パッドに接続するランドグリッドアレイ構造としても良いし、この外部接続端子ランドに半田ボールなどの外部接続端子を装着し、この外部接続端子によってマザーボードとの接続を行うボールグリッドアレイ構造としても良い。ランドグリッドアレイ構造とした場合は、半導体装置を比較的薄型に形成することができるという利点があり、またボールグリッドアレイ構造とした場合は、半導体装置とマザーボードとの間に高さが確保できるので、より変形応力を吸収しやすくなるという利点がある。

【0018】

【実施例】以下、本発明の半導体装置の構造及び製造方法について図面を参照しつつ詳細に説明する。なお、従来と同じ箇所については同一の記号を用いて説明する。図1は本発明の半導体装置を示す図である。ここに示す半導体装置1aは、半導体チップ2の電極3形成面側の電極3を除いた領域にパッシベーション膜4が形成され、このパッシベーション膜4の表面のやはり電極3を除く領域には絶縁膜5が形成されている。

【0019】ここで本実施例においては、絶縁膜5の表面には、やはり電極3を除いた領域に第1の絶縁層14が設けられており、第1の絶縁層14の外部接続端子接合部に相当する箇所に凹部15が形成されている。この第1の絶縁層14の表面には、一端が電極3に接続され、また他端は外部接続端子接合部に相当する箇所に設けられる凹部15の内側面及びその周囲を取り囲む第1の金属層16となるように配線された配線パターン6が形成されている。

【0020】外部接続端子接合部に相当する箇所に設けられた凹部15に形成された第1の金属層16上には、ポリイミドコートからなる緩衝層17が形成されており、またその上には、緩衝層17の表面を覆うとともに第1の金属層16と電気的に接続される、銅などからなる第2の金属層18が形成される。これら第1の金属層16、緩衝層17、第2の金属層18によって外部接続端子ランド19が構成されている。なお各金属層は、ベース基材との密着力を保持する役割を担う、主にスパッタリングにより形成される下地金属と、電気的導通を図る役割を担う銅メッキや、更には半田とのぬれ性を良好にさせる金メッキなどの1種もしくは2種以上の金属からなる。

【0021】それからこの外部接続端子ランド19の表面を除いた全面、すなわち配線パターン6、第1の絶縁層14、電極3上に形成された緩衝層17を第2の絶縁層20によって被覆する。この後必要ならば半田ボールなどの外部接続端子9を外部接続端子ランド19表面に装着して図1に示す半導体装置1aが構成される。

【0022】次に図1に示す半導体装置1aの製造工程

について説明する。まず図4に示すように、一面にアルミからなる電極3が形成されたシリコンからなる半導体チップ2の電極3を除く領域に、パッシベーション膜4を形成する。

【0023】それから図5に示すように、パッシベーション膜4上の電極3を除く領域に、スピンコートなどの方法によってポリイミドコートなどの絶縁性材料からなる絶縁膜5を塗布する。なお絶縁性材料として感光性材料を使用した場合には、電極3を含む全面に絶縁膜5を塗布しておき、既知のようにガラスマスクを使用して露光、現像することによりパターンニングを行い、または溶解液に浸漬することによって電極3のみを露出することができる。

【0024】続いて図6に示すように、この絶縁膜5上の電極3をも含む全面を感光性ソルダーレジストなどの絶縁性材料からなる第1の絶縁層14によって被覆し、その後第1の絶縁層14の電極3部分及び外部接続端子接合部となる箇所を露光、現像することにより除去して、電極3を露出させるとともに凹部15を形成する。なお第1の絶縁層14であるソルダーレジストの被覆は、液状材料をスピンコートあるいはスクリーン印刷などによって塗布するようにしてもよいが、この第1の絶縁層14はある程度の厚さ(0.1~0.3mm程度)をもって形成されるのが望ましいので、ドライフィルムをラミネートすることにより行うのが好ましい。また絶縁層14は、できるだけデバイスに光励起を起こさせないよう有色材料、望ましくは黒色材料を使用するとよい。

【0025】次に、第1の絶縁層14の表面に、銅などの導電性金属を蒸着、スパッタリングあるいはメッキすることにより金属層を形成する。そしてこの金属層上に感光性レジストを塗布し、これを露光、現像することによりパターンニングを行う。それからエッチングにより金属層の不要部分を除去することによって、図7に示すような配線パターン6を形成する。なおこの配線パターン6の一端は電極3に接続され、また他端は外部接続端子接合部である凹部15まで伸長している。なお、この場合電極3上にあらかじめクロム、チタン、タングステンのうち1種もしくは数種あるいはこれらの合金等をバリア層として形成しておいてもよい。ここで凹部15の内側面及びその周囲にも導電性金属層が形成され、これが第1の金属層16となる。なお、本実施例ではエッチングによりパターンニングを行う例を示したが、アディティブ法などによりパターンニングを行ってもよい。

【0026】続いて図8に示すように、電極3上及び凹部15に形成された第1の金属層16上にポリイミドコートなどの絶縁性材料からなる緩衝層17を形成する。この緩衝層17は、液状の絶縁性材料をスピンコート法などによって塗布することにより形成される。なお本実施例においては、この緩衝層17は凹部15から若干

(0.01~0.1mm程度)突出するように形成している。

【0027】次に図9に示すように、緩衝層17の表面を覆うとともに第1の金属層16と電氣的に接続されるように、銅などの導電性金属からなる第2の金属層18を形成する。この第2の金属層18も、前述した配線パターン6の形成と同様に蒸着、スパッタリングあるいはメッキなどによって形成される。なお、本実施例においては電極3上を外部接続端子ランドとはしないので、電極3上の緩衝層17表面には第2の金属層18は形成していないが、電極3上に外部接続ランド19を形成する場合には、この電極3上の緩衝層17上にも第2の金属層18を形成する。また電極3上に外部接続端子ランド19を形成しない場合には、緩衝層17は形成しなくてもよい。

【0028】その後図10に示すように、第1の絶縁層14、配線パターン6、第2の金属層18を含む全ての領域を感光性ソルダーレジストなどの絶縁材料からなる第2の絶縁層20で被覆し、その後フォトリソグラフィにより外部接続端子ランド19の第2の金属層18のみを露出する。この第2の絶縁層20の形成は、第1の絶縁層14の形成と同様に、液状の絶縁材料を塗布するようにしてもよいし、またドライフィルムをラミネートすることによって行ってもよい。なお、この絶縁層14の材料としては、できるだけデバイスにα線障害を起こさせないような材料を使用するとよい。

【0029】その後第2の金属層18の露出部分に半田ぬれ性の良い金属をメッキする。ランドグリッドアレイ構造とする場合はこれで完成だが、マザーボードとの接続手段として外部接続端子9を使用する場合は、図11に示すように第2の絶縁層20から露出している外部接続端子ランド19の第2の金属層18上に半田ボールからなる外部接続端子9を配置し、リフローして固着させる。

【0030】以上の工程により本発明の半導体装置1aが完成されるが、各部の材質などは本実施例に限定されることなく、適宜変更可能である。例えば前述した構成のうち、パッシベーション膜4などは必ずしも必要ではない。また上述した各製造工程は、個別に分離した各半導体チップ2単位に行ってもよいし、ウエハーレベルで全ての工程を実施し、その後各半導体チップ2単位に分断するようにしてもよい。特にウエハーレベルでアセンブリした場合には、作業効率が向上する。

【0031】このようにして製造された半導体装置1aをマザーボードに実装するには、前述したような外部接続端子9を使用してもよいし、また外部接続端子ランド19の第2の金属層18部分を半田ペーストなどを介して直接マザーボードに接合するようにしてもよい。

【0032】次に本発明の他の実施例について説明する。図2は本発明の他の実施例を示したものであり、こ

こで示す半導体装置1bにおいては、電極3上には緩衝層17は形成されていない。また配線パターン6は絶縁膜5上に形成されている。そしてこの配線パターン6の一端である第1の金属層16上には、第1の金属層16と電氣的に接合されるように第3の金属層21が形成されており、この第3の金属層21上に緩衝層17が形成されている。更にこの緩衝層17の表面を覆うとともに第3の金属層21と電氣的に接続されるように、第2の金属層18が形成されており、この第1の金属層16、第2の金属層18、第3の金属層21及び緩衝層17によつて外部接続端子ランド19aが構成される。その他の構成はおおよそ前述した実施例と同様であり、製造工程についても同様である。この実施例の場合は、第1の金属層16と第2の金属層18とは、第3の金属層21によつて電氣的に接続される。なお本実施例においては形成しなかったが、電極3上に緩衝層17あるいは外部接続端子ランド19aを形成するようにしてもよい。

【0033】また、図3は本発明の更に他の実施例を示したものであり、緩衝層として導電性ペーストを使用した例である。こで示す半導体装置1cは、図2に示す実施例と同様配線パターン6は絶縁膜5上に形成されている。そしてこの配線パターン6の一端である第1の金属層16上に導電性ペーストからなる緩衝層17aが形成されており、緩衝層17aの表面には第2の金属層18が形成されている。なお、この構成によれば第2の絶縁層20は必ずしも必要としない。

【0034】この半導体装置1cの製造工程について簡単に説明すると、絶縁膜5の形成まではおおよそ前述した実施例と同様なのだが、本実施例においては、その後絶縁膜5上に、既述したように蒸着、スパッタリングあるいはメッキ等によって、一端が電極3に接続され、また他端は外部接続端子接続部となる配線パターン6を形成する。それからこの絶縁膜5及び配線パターン6を含む半導体チップ2の電極3形成面側の全面を感光性ソルダーレジストなどの絶縁性材料からなる第1の絶縁層14によつて被覆し、その後第1の絶縁層14の外部接続端子接合部に対応する箇所を露光、現像することにより除去して凹部15を形成し、配線パターン6の一端部である外部接続端子接続部となる第1の金属層16を露出する。

【0035】そしてこの第1の金属層16の周囲の第1の絶縁層14に囲まれた凹部15に、印刷法によつて導電性ペーストを充填して緩衝層17aを形成する。その後メッキ法によりこの緩衝層17aの表面に第2の金属層18を形成して、外部接続端子ランド19bが構成される。その後は前述した実施例と同様である。本実施例によれば、半導体装置1cは構造が簡略化されたものとなるため、製造工程も簡略化することができ、よつて製造の際の作業効率が向上する。また、本実施例においては電極3上には緩衝層17aあるいは外部接続端子ラン

ド19bは形成しなかったが、形成してもよいことはもちろんである。

【0036】以上説明した実施例以外にも、本発明の要旨を逸脱しない範囲でさまざまな実施例を適用することができる。例えば半導体装置1a、1b及び1cの半導体チップ2の電極3形成面側の裏面に、導電性の接着剤を介して放熱板を固着するようにしてもよい。このような構成にすると、半導体チップ2の発熱を効率よく放熱することができる。なお、この放熱板の固着もウエハーレベルで行うことができる。

【0037】本実施例における半導体装置1a、1b及び1cは上記のように構成されているので、これにより、使用時や信頼性評価試験時などに半導体装置1a、1b及び1cが加熱、冷却などの熱サイクルにさらされた場合においても、半導体チップ2とマザーボードとの熱膨張係数差に起因して発生する応力や機械的歪みを外部接続端子ランド19、19a、19bに設けられた緩衝層17、17aによつて良好に吸収することができるので、その結果外部接続端子9にクラックが発生することなく、またランドグリッドアレイ構造にした場合においても、このような応力や機械的歪みが半導体チップ2に悪影響を与えることがない。

【0038】

【発明の効果】本発明は以上説明したような形態で実施され、以下に記載されるような効果を奏する。

【0039】半導体装置が、使用時や信頼性評価試験時などに加熱、冷却などの熱サイクルにさらされた場合でも、半導体チップとマザーボードとの熱膨張係数差に起因する応力や機械的歪みを、外部接続端子ランドの緩衝層が良好に吸収することができるため、外部接続端子あるいはランドグリッドアレイ構造とした場合には半田ペーストなどによる接合部にクラックが発生することがなく、よつて半導体装置の信頼性が格段に向上する。

【0040】またアンダーフィルが不要となるので、半導体装置を一旦マザーボードなどに実装した後においても、リペアが容易である。

【0041】更にまた本発明の半導体装置は、ウエハーコーターなどの既存ウエハーファブリケーション設備でアセンブリ可能であり、新たな設備、方法などを導入する必要がないので、比較的低コストで製造可能である。

【図面の簡単な説明】

【図1】本発明の半導体装置を示す断面図。

【図2】本発明の他の実施例を示す断面図。

【図3】本発明の他の実施例を示す断面図。

【図4】本発明の製造工程を示す要部拡大断面図。

【図5】本発明の製造工程を示す要部拡大断面図。

【図6】本発明の製造工程を示す要部拡大断面図。

【図7】本発明の製造工程を示す要部拡大断面図。

【図8】本発明の製造工程を示す要部拡大断面図。

【図9】本発明の製造工程を示す要部拡大断面図。

【図10】本発明の製造工程を示す要部拡大断面図。

【図11】本発明の製造工程を示す要部拡大断面図。

【図12】従来の半導体装置を示す図。

【図13】従来の半導体装置を示す図。

【符号の説明】

1、1a、1b、1c 半導体装置

2 半導体チップ

3 電極

4 パッシベーション膜

5 絶縁膜

6 配線パターン

7 外部接続端子接続部

8 絶縁皮膜

\* 9 外部接続端子

10 マザーボード

11 パッド

12 クラック

13 アンダーフィル樹脂

14 第1の絶縁層

15 凹部

16 第1の金属層

17、17a 緩衝層

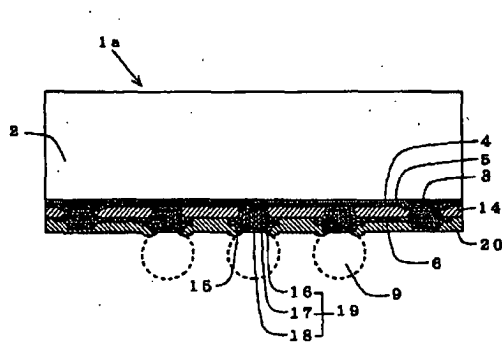
10 18 第2の金属層

19、19a、19b 外部接続端子ランド

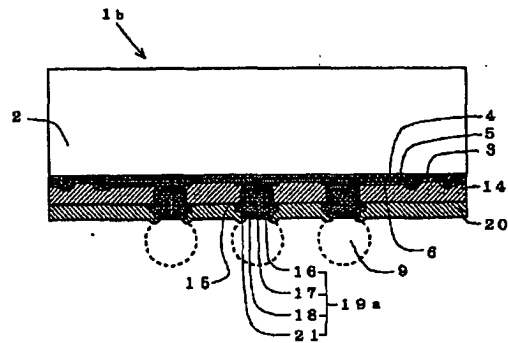
20 第2の絶縁層

\* 21 第3の金属層

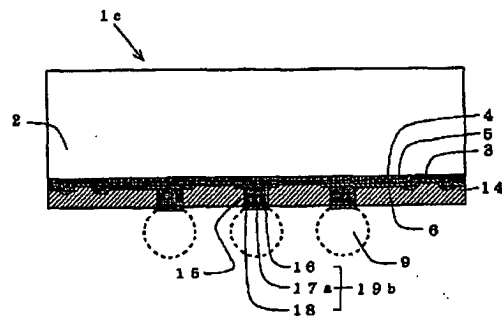
【図1】



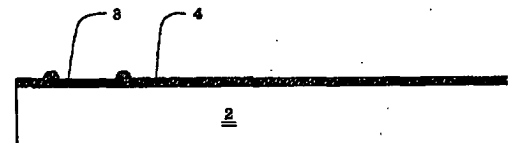
【図2】



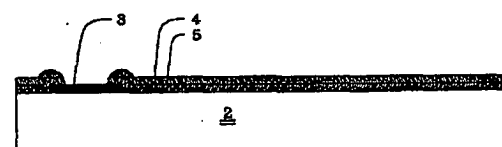
【図3】



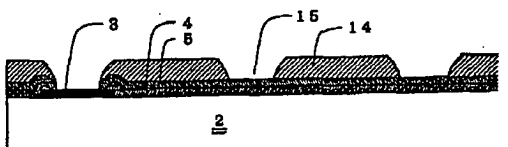
【図4】



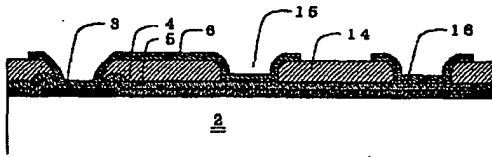
【図5】



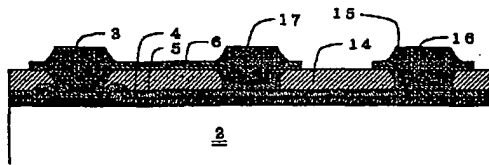
【図6】



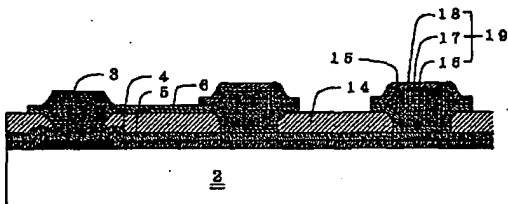
【図7】



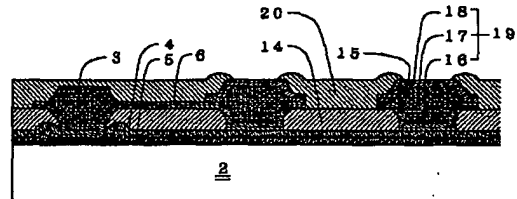
【図8】



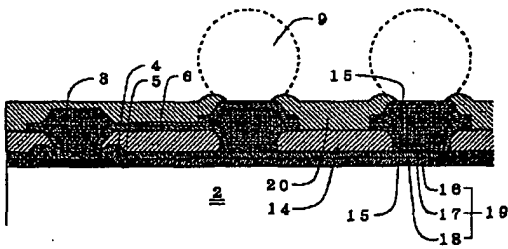
【図9】



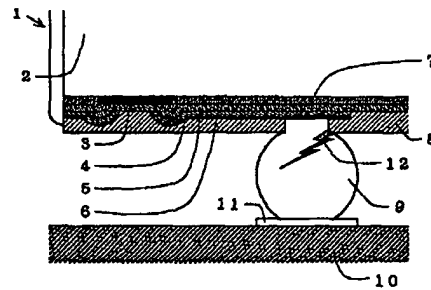
【図10】



【図11】



【図12】



【図13】

